

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61188-5-1

Première édition
First edition
2002-07

**Cartes imprimées et cartes imprimées équipées –
Conception et utilisation –**

**Partie 5-1:
Considérations sur les liaisons pistes-soudures –
Prescriptions génériques**

**Printed boards and printed board assemblies –
Design and use –**

**Part 5-1:
Attachment (land/joint) considerations –
Generic requirements**



Numéro de référence
Reference number
CEI/IEC 61188-5-1:2002

Numérotation des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000. Ainsi, la CEI 34-1 devient la CEI 60034-1.

Editions consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Informations supplémentaires sur les publications de la CEI

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique. Des renseignements relatifs à cette publication, y compris sa validité, sont disponibles dans le Catalogue des publications de la CEI (voir ci-dessous) en plus des nouvelles éditions, amendements et corrigenda. Des informations sur les sujets à l'étude et l'avancement des travaux entrepris par le comité d'études qui a élaboré cette publication, ainsi que la liste des publications parues, sont également disponibles par l'intermédiaire de:

- **Site web de la CEI** (www.iec.ch)
- **Catalogue des publications de la CEI**

Le catalogue en ligne sur le site web de la CEI (www.iec.ch/catlg-f.htm) vous permet de faire des recherches en utilisant de nombreux critères, comprenant des recherches textuelles, par comité d'études ou date de publication. Des informations en ligne sont également disponibles sur les nouvelles publications, les publications remplacées ou retirées, ainsi que sur les corrigenda.

- **IEC Just Published**

Ce résumé des dernières publications parues (www.iec.ch/JP.htm) est aussi disponible par courrier électronique. Veuillez prendre contact avec le Service client (voir ci-dessous) pour plus d'informations.

- **Service clients**

Si vous avez des questions au sujet de cette publication ou avez besoin de renseignements supplémentaires, prenez contact avec le Service clients:

Email: custserv@iec.ch
Tél: +41 22 919 02 11
Fax: +41 22 919 03 00

Publication numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series. For example, IEC 34-1 is now referred to as IEC 60034-1.

Consolidated editions

The IEC is now publishing consolidated versions of its publications. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Further information on IEC publications

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology. Information relating to this publication, including its validity, is available in the IEC Catalogue of publications (see below) in addition to new editions, amendments and corrigenda. Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is also available from the following:

- **IEC Web Site** (www.iec.ch)
- **Catalogue of IEC publications**

The on-line catalogue on the IEC web site (www.iec.ch/catlg-e.htm) enables you to search by a variety of criteria including text searches, technical committees and date of publication. On-line information is also available on recently issued publications, withdrawn and replaced publications, as well as corrigenda.

- **IEC Just Published**

This summary of recently issued publications (www.iec.ch/JP.htm) is also available by email. Please contact the Customer Service Centre (see below) for further information.

- **Customer Service Centre**

If you have any questions regarding this publication or need further assistance, please contact the Customer Service Centre:

Email: custserv@iec.ch
Tel: +41 22 919 02 11
Fax: +41 22 919 03 00

NORME
INTERNATIONALE
INTERNATIONAL
STANDARD

CEI
IEC

61188-5-1

Première édition
First edition
2002-07

**Cartes imprimées et cartes imprimées équipées –
Conception et utilisation –**

**Partie 5-1:
Considérations sur les liaisons pistes-soudures –
Prescriptions génériques**

**Printed boards and printed board assemblies –
Design and use –**

**Part 5-1:
Attachment (land/joint) considerations –
Generic requirements**

© IEC 2002 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission, 3, rue de Varembe, PO Box 131, CH-1211 Geneva 20, Switzerland
Telephone: +41 22 919 02 11 Telefax: +41 22 919 03 00 E-mail: inmail@iec.ch Web: www.iec.ch



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE **XB**

*Pour prix, voir catalogue en vigueur
For price, see current catalogue*

SOMMAIRE

AVANT-PROPOS	10
1 Domaine d'application et objet.....	14
2 Références normatives	14
3 Termes et définitions.....	16
4 Exigences de conception.....	28
4.1 Généralités	28
4.1.1 Classification	30
4.1.2 Détermination des zones de report	30
4.2 Systèmes de dimensionnement	32
4.2.1 Tolérancement des composants	34
4.2.2 Tolérancement des pastilles	42
4.2.3 Réserves de fabrication.....	42
4.2.4 Tolérances d'assemblage.....	42
4.2.5 Analyse des dimensions et des tolérances.....	44
4.3 Possibilité de réalisation des conceptions.....	60
4.3.1 Zone de report pour montage en surface.....	62
4.3.2 Choix des composants standard.....	62
4.3.3 Développement du substrat du circuit.....	62
4.3.4 Considérations d'assemblage.....	62
4.3.5 Prévision des essais automatisés.....	62
4.3.6 Documentation du montage en surface.....	62
4.4 Contraintes d'environnement.....	62
4.4.1 Composants sensibles à l'humidité.....	62
4.4.2 Considérations d'environnement dans l'utilisation finale.....	64
4.5 Règles de conception.....	66
4.5.1 Espacement des composants.....	66
4.5.2 Assemblage des cartes à simple et double face.....	70
4.5.3 Conception du stencil de brasage.....	70
4.5.4 Hauteur de dépassement des composants pour nettoyage.....	70
4.5.5 Repères conventionnels	72
4.5.6 Conducteurs	78
4.5.7 Conseils relatifs aux trous de liaison.....	80
4.5.8 Réserves de fabrication normales.....	84
4.5.9 Mise en flan	88
4.6 Finitions des couches extérieures	94
4.6.1 Finitions des masques de brasage	94
4.6.2 Espacement du masque de brasage.....	94
4.6.3 Finition des zones de report	96
5 Validation de la qualité et de la fiabilité.....	96
5.1 Techniques de validation.....	96
6 Testabilité.....	98
6.1 Les cinq types d'essai	98
6.1.1 Essai de la carte nue.....	98
6.1.2 Essai sur la carte assemblée.....	100

CONTENTS

FOREWORD	11
1 Scope and object	15
2 Normative references	15
3 Terms and definitions	17
4 Design requirements	29
4.1 General	29
4.1.1 Classification	31
4.1.2 Land pattern determination	31
4.2 Dimensioning systems	33
4.2.1 Component tolerancing	35
4.2.2 Land tolerancing	43
4.2.3 Fabrication allowances	43
4.2.4 Assembly tolerancing	43
4.2.5 Dimension and tolerance analysis	45
4.3 Design producibility	61
4.3.1 SMT land pattern	63
4.3.2 Standard component selection	63
4.3.3 Circuit substrate development	63
4.3.4 Assembly considerations	63
4.3.5 Provision for automated test	63
4.3.6 Documentation for SMT	63
4.4 Environmental constraint	63
4.4.1 Moisture sensitive components	63
4.4.2 End-use environment considerations	65
4.5 Design rules	67
4.5.1 Component spacing	67
4.5.2 Single- and double-sided board assembly	71
4.5.3 Solder paste stencil	71
4.5.4 Component stand-off height for cleaning	71
4.5.5 Fiducial marks	73
4.5.6 Conductors	79
4.5.7 Via guidelines	81
4.5.8 Standard fabrication allowances	85
4.5.9 Panelization	89
4.6 Outer layer finishes	95
4.6.1 Solder-mask finishes	95
4.6.2 Solder-mask clearances	95
4.6.3 Land-pattern finishes	97
5 Quality and reliability validation	97
5.1 Validation techniques	97
6 Testability	99
6.1 Five types of testing	99
6.1.1 Bare-board test	99
6.1.2 Assembled board test	101

6.2	Accès aux nœuds	100
6.2.1	Philosophie d'essai	100
6.2.2	Stratégie d'essai pour les cartes nues	102
6.3	Accès total aux nœuds de la carte assemblée	102
6.3.1	Préparation des essais en circuit	104
6.3.2	Essais avec multi-sondes	104
6.4	Accès limité aux nœuds	104
6.5	Aucun accès aux nœuds	106
6.6	Impact des montages d'essai en coquille.....	106
6.7	Caractéristiques d'essai des cartes imprimées	106
6.7.1	Espacement des zones de report d'essai.....	106
6.7.2	Taille et forme des pastilles d'essai	106
6.7.3	Paramètres de conception en vue des essais	108
7	Types de structure de cartes imprimées	110
7.1	Considérations générales.....	114
7.1.1	Catégories	116
7.1.2	Différence de dilatation thermique	116
7.2	Matériaux organiques.....	116
7.3	Matériaux non organiques	116
7.4	Autres structures de cartes imprimées	116
7.4.1	Structures à plan support	116
7.4.2	Technologie des cartes imprimées à haute densité.....	116
7.4.3	Interconnexion par fil discret	118
7.4.4	Structures à âme intégrée	118
7.4.5	Structures à âme en métal porcelainisé	118
8	Considérations d'assemblage dans la technologie du montage en surface	118
8.1	Séquence du montage en surface	118
8.2	Préparation des substrats	120
8.2.1	Application d'adhésif	120
8.2.2	Adhésifs conducteurs	122
8.2.3	Application de la pâte de brasure	122
8.2.4	Pièces de brasure préformées.....	122
8.3	Pose des composants	122
8.3.1	Transfert des données des composants	122
8.4	Processus de brasage.....	124
8.4.1	Soudage à la vague	124
8.4.2	Brasage en phase vapeur.....	126
8.4.3	Refusion par infrarouges	128
8.4.4	Convection à l'air chaud	128
8.4.5	Brasage par refusion au laser.....	128
8.5	Nettoyage	128
8.6	Réparations et reprises	130
8.6.1	Réutilisation des composants enlevés	130
8.6.2	Effets de dissipation thermique.....	130
8.6.3	Influence du type de matériau des cartes imprimées.....	132
8.6.4	Influence de la pastille de cuivre et du montage du conducteur	132
8.6.5	Sélection d'équipements adéquats pour les retouches	132
8.6.6	Influence de la structure équipée et des processus de brasage.....	132

6.2	Nodal access	101
6.2.1	Test philosophy	101
6.2.2	Test strategy for bare boards	103
6.3	Full nodal access for assembled board	103
6.3.1	In-circuit test accommodation	105
6.3.2	Multi-probe testing	105
6.4	Limited nodal access	105
6.5	No nodal access	107
6.6	Clam-shell fixtures impact	107
6.7	Printed board test characteristics	107
6.7.1	Test land pattern spacing	107
6.7.2	Test land size and shape	107
6.7.3	Design for test parameters	109
7	Printed board structure types	111
7.1	General considerations	115
7.1.1	Categories	117
7.1.2	Thermal expansion mismatch	117
7.2	Organic base material	117
7.3	Non-organic base materials	117
7.4	Alternative PB structures	117
7.4.1	Supporting-plane PB structures	117
7.4.2	High-density PB technology	117
7.4.3	Discrete-wire interconnect	119
7.4.4	Constraining core structures	119
7.4.5	Porcelaminized metal (metal core) structures	119
8	Assembly considerations for surface-mount technology (SMT)	119
8.1	SMT assembly process sequence	119
8.2	Substrate preparation	121
8.2.1	Adhesive application	121
8.2.2	Conductive adhesive	123
8.2.3	Solder paste application	123
8.2.4	Solder preforms	123
8.3	Component placement	123
8.3.1	Component data transfer	123
8.4	Soldering processes	125
8.4.1	Wave soldering	125
8.4.2	Vapour-phase soldering	127
8.4.3	IR reflow	129
8.4.4	Hot air/gas convection	129
8.4.5	Laser reflow soldering	129
8.5	Cleaning	129
8.6	Repair/rework	131
8.6.1	Re-use of removed components	131
8.6.2	Heatsink effects	131
8.6.3	Dependence on printed board material type	133
8.6.4	Dependence on copper land and conductor layout	133
8.6.5	Selection of suitable rework equipment	133
8.6.6	Dependence on assembly structure and soldering processes	133

Annexe A (informative) Impressions d'essai – Evaluation du processus	134
Annexe B (informative) Abréviations	140
Figure 1 – Exemple de tolérancement par profil	32
Figure 2 – Exemple de dimensionnement du condensateur 3216 pour un cordon de brasure optimal	36
Figure 3 – Dimensionnement par profil d'un SOIC à sorties en aile de mouette	38
Figure 4 – Pas d'un composant à sorties multiples	48
Figure 5 – Condition de zone de délimitation du périmètre	58
Figure 6 – Orientation des composants pour le soudage à la vague	66
Figure 7 – Alignement de composants similaires	68
Figure 8 – Repères de flans et locaux	72
Figure 9 – Repères conventionnels locaux et globaux	74
Figure 10 – Emplacement des repères conventionnels sur une carte imprimée	74
Figure 11 – Zone dégagée autour des repères	76
Figure 12 – Géométries de montage en surface	78
Figure 13 – Trame d'essai de la capacité d'acheminement des conducteurs	80
Figure 14 – Relation entre la zone de report et trous de liaison	82
Figure 15 – Exemples de concepts de positionnement des trous de liaison	82
Figure 16 – Description des conducteurs	86
Figure 17 – Exemples de pastilles modifiées	88
Figure 18 – Flan classique en stratifié cuivre-verre	90
Figure 19 – Jeu entre conducteurs et rainure pour le rainurage en V	90
Figure 20 – Système à rupture (impression à fente guidée)	92
Figure 21 – Fentes guidées	92
Figure 22 – Fenêtre d'un masque de brasage groupé	94
Figure 23 – Fenêtres de masque de brasage à poche	96
Figure 24 – Limites de température des composants	98
Figure 25 – Concept de grille de trous de liaison d'essai	104
Figure 26 – Relation générale entre la taille des contacts de test et les ratés de sonde	108
Figure 27 – Distance entre sonde d'essai et composant	110
Figure 28 – Séquence typique de l'assemblage pour trous traversant et montage en surface	120
Figure 29 – Séquence typique du montage en surface sur une et deux faces	120
Figure A.1 – Description générale de l'impression de validation du processus et de ses interconnexions	134
Figure A.2 – Cliché photographique de la face primaire de la carte d'essai IPC-A-49	136
Tableau 1 – Eléments de l'analyse des tolérances pour les composants à puce	50
Tableau 2 – Sorties pour ruban plat en L et en aile de mouette (pas supérieur à 0,625 mm)	50
Tableau 3 – Sorties pour ruban plat en L et en aile de mouette (pas inférieur ou égal à 0,625 mm)	52
Tableau 4 – Sorties rondes ou aplaties (forgées)	52
Tableau 5 – Sorties en J	52
Tableau 6 – Composants à extrémité rectangulaire ou carrée (condensateurs et résistances céramique)	52
Tableau 7 – Broches à embout cylindrique (MELF)	54
Tableau 8 – Broches à base seule	54

Annex A (informative) Test patterns – Process evaluations	135
Annex B (informative) Abbreviations	141
Figure 1 – Profile tolerancing method.....	33
Figure 2 – Example of 3216 capacitor dimensioning for optimum solder fillet condition	37
Figure 3 – Profile dimensioning of gull-wing leaded SOIC.....	39
Figure 4 – Pitch for multiple leaded component.....	49
Figure 5 – Courtyard boundary area condition	59
Figure 6 – Component orientation for wave-solder applications	67
Figure 7 – Alignment of similar components.....	69
Figure 8 – Panel/local fiducials	73
Figure 9 – Local and global fiducials	75
Figure 10 – Fiducial locations on a printed board	75
Figure 11 – Fiducial clearance requirements.....	77
Figure 12 – Surface mounting geometries.....	79
Figure 13 – Conductor routing capability test pattern.....	81
Figure 14 – Land-pattern-to-via relationship	83
Figure 15 – Examples of via positioning concepts	83
Figure 16 – Conductor description	87
Figure 17 – Examples of modified landscapes	89
Figure 18 – Typical copper glass laminate panel.....	91
Figure 19 – Conductor clearance for V-groove scoring.....	91
Figure 20 – Breakaway (routed pattern) with routed slots.....	93
Figure 21 – Routed slots.....	93
Figure 22 – Gang solder mask window.....	95
Figure 23 – Pocket solder mask window	97
Figure 24 – Component temperature limits.....	99
Figure 25 – Test via grid concepts	105
Figure 26 – General relationship between test contact size and test probe misses.....	109
Figure 27 – Test probe feature distance from component.....	111
Figure 28 – Typical process flow for through-hole/surface-mount assembly.....	121
Figure 29 – Typical process flow for full surface-mount type 1b and 2b surface-mount technology.....	121
Figure A.1 – General description of process validation contact pattern and interconnect.....	135
Figure A.2 – Photomage of IPC-A-49 test board for primary side	137
Table 1 – Tolerance analysis elements for chip devices	51
Table 2 – Flat ribbon L and gull-wing leads (greater than 0,625 mm pitch).....	51
Table 3 – Flat ribbon L and gull-wing leads (less than or equal to 0,625 mm pitch)	53
Table 4 – Round or flattened (coined) leads.....	53
Table 5 – J leads.....	53
Table 6 – Rectangular or square-end components (ceramic capacitors and resistors)	53
Table 7 – Cylindrical end cap terminations (MELF).....	55
Table 8 – Bottom only terminations.....	55

Tableau 9 – Porte-puce sans sorties à broches crénelées	54
Tableau 10 – Joints bout-à-bout	54
Tableau 11 – Sorties pour ruban plat en L et en aile de mouette intérieures (condensateurs au tantale)	56
Tableau 12 – Sorties à téton plat	56
Tableau 13 – Environnements d'utilisation les plus défavorables pour les appareils électroniques à montage en surface, et essais accélérés recommandés pour les composants brasés en surface employés dans la plupart des catégories d'utilisation.....	64
Tableau 14 – Tolérances de largeur des conducteurs	86
Tableau 15 – Précision de positionnement des éléments	86
Tableau 16 – Comparaison des structures des cartes imprimées	110
Tableau 17 – Critères de choix des structures des cartes imprimées.....	114
Tableau 18 – Propriétés des matériaux des structures des cartes imprimées	114

Withdrawing

Table 9 – Leadless chip carrier with castellated terminations55

Table 10 – Butt joints.....55

Table 11 – Inward flat ribbon L and gull-wing leads (tantalum capacitors).....57

Table 12 – Flat lug leads57

Table 13 – Worst-case use environments for surface-mounted electronics and recommended accelerated testing for surface-mount solder attachments by most common use categories.....65

Table 14 – Conductor width tolerances87

Table 15 – Feature location accuracy.....87

Table 16 – Printed board structure comparison111

Table 17 – PB structure selection considerations115

Table 18 – PB structure material properties115

Withdrawn

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**CARTES IMPRIMÉES ET CARTES IMPRIMÉES ÉQUIPÉES –
CONCEPTION ET UTILISATION –**

**Partie 5-1: Considérations sur les liaisons pistes-soudures –
Prescriptions génériques**

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, spécifications techniques, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 61188-5-1 a été établie par le comité d'études 91 de la CEI: Techniques d'assemblage des composants électroniques.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
91/292/FDIS	91/318/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les directives ISO/CEI, Partie 3.

Les annexes A et B sont données uniquement à titre d'information.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**PRINTED BOARDS AND PRINTED BOARD ASSEMBLIES –
DESIGN AND USE –**
**Part 5-1: Attachment (land/joint) considerations –
Generic requirements**

FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international cooperation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical specifications, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61188-5-1 has been prepared by IEC technical committee 91: Electronics assembly technology.

The text of this standard is based on the following documents:

FDIS	Report on voting
91/292/FDIS	91/318/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 3.

Annexes A and B are for information only.

La CEI 61188-5 comporte les parties suivantes sous le titre général *Cartes imprimées et cartes imprimées équipées – Conception et utilisation – Partie 5: Considérations sur les liaisons pistes-soudures*:

CEI 61188-5-1, Prescriptions génériques

CEI 61188-5-2, Composants discrets

CEI 61188-5-3, Composants à pattes bilatérales en aile de mouette

CEI 61188-5-4, Composants à pattes «J» bilatérales

CEI 60188-5-5, Composants à pattes quadrilatérales en aile de mouette

CEI 61188-5-6, Composants à pattes «J» quadrilatérales

CEI 61188-5-7, Composants (DIP) à broches bilatérales

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant 2004. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

Withdrawal

IEC 61188-5 consists of the following parts, under the general title *Printed boards and printed board assemblies – Design and use – Part 5: Attachment (land/joint) considerations*:

- IEC 61188-5-1, Generic requirements
- IEC 61188-5-2, Discrete components
- IEC 61188-5-3, Components with gull-wing leads, on two sides
- IEC 61188-5-4, Components with J leads, on two sides
- IEC 61188-5-5, Components with gull-wing leads, on four sides
- IEC 61188-5-6, Components with J leads, on four sides
- IEC 61188-5-7, Components with post (DIP) leads, on two sides

The committee has decided that the contents of this publication will remain unchanged until 2004. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

Withdrawn